

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION
EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la Propriété
Intellectuelle
Bureau international



(43) Date de la publication internationale
1 avril 2004 (01.04.2004)

PCT

(10) Numéro de publication internationale
WO 2004/027878 A2

(51) Classification internationale des brevets⁷ :

H01L 29/872

(21) Numéro de la demande internationale :

PCT/FR2003/050045

(22) Date de dépôt international :

1 septembre 2003 (01.09.2003)

(25) Langue de dépôt :

français

(26) Langue de publication :

français

(30) Données relatives à la priorité :

02/10883 3 septembre 2002 (03.09.2002) FR

(71) Déposants (pour tous les États désignés sauf US) : COM-
MISSARIAT A L'ENERGIE ATOMIQUE [FR/FR];
31-33, rue de la Fédération, F-75752 Paris 15ème (FR).
S.O.I.TEC SILICON ON INSULATOR TECHNOLO-
GIES [FR/FR]; Parc Technologique des Fontaines,
Chemin des Franques, F-38190 Bernin (FR).

(72) Inventeurs; et

(75) Inventeurs/Déposants (pour US seulement) : TEM-
PLIER, François [FR/FR]; 10, allée des Terrasses de
Criel, F-38500 Voiron (FR). DI CIOCCIO, Léa [FR/FR];
418, chemin de Labis, F-38330 Saint Ismier (FR). BIL-
LON, Thierry [FR/FR]; 292, rue du Parc de la Sure,
F-38500 Coublevie (FR). LETERTRE, Fabrice [FR/FR];
33, quai Jongkind, F-38000 Grenoble (FR).

(74) Mandataire : LEHU, Jean; c/o Brevatome, 3, rue du Doc-
teur Lancereaux, F-75008 Paris (FR).

(81) États désignés (national) : JP, US.

(84) États désignés (régional) : brevet européen (AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,
IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

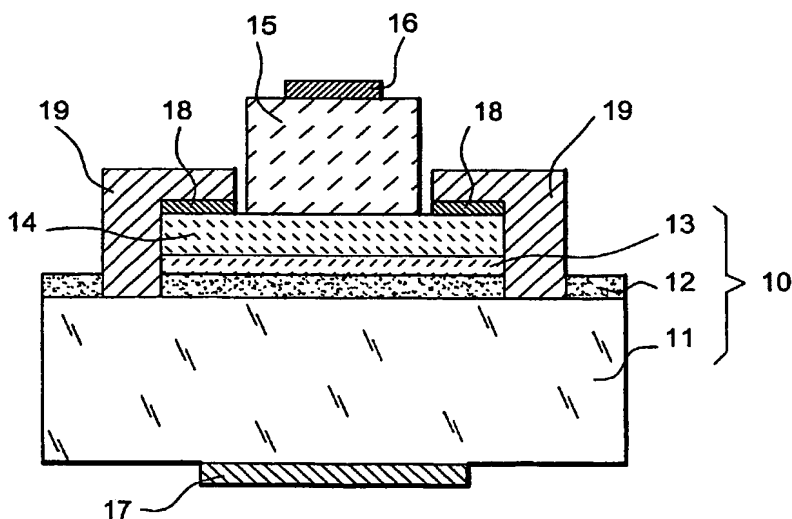
Publiée :

— sans rapport de recherche internationale, sera republiée
dès réception de ce rapport

[Suite sur la page suivante]

(54) Title: QUASI-VERTICAL POWER SEMICONDUCTOR DEVICE ON A COMPOSITE SUBSTRATE

(54) Titre : DISPOSITIF SEMICONDUCTEUR DE PUISSANCE QUASI-VERTICAL SUR SUBSTRAT COMPOSITE



(57) Abstract: The invention relates to a power semiconductor device made of an epitaxied semiconductor material on a stacked structure (10), comprising a semiconductor material layer (13) which is applied to a first surface of a support substrate (11) and is integral with the support substrate (11) by means of an insulating layer (12), said support substrate comprising electric conduction means between the first surface and the second surface, the applied semiconductor material layer (13) acting as an epitaxy support layer for the epitaxied semiconductor material (14, 15). Means for electric connection (16, 17) of said device are provided on the epitaxied semiconductor material and on the second surface of the support substrate, whereby an electric connection via the electrically insulating layer and electric conduction means electrically links the epitaxied semiconductor material (14, 15) to electric connection means (17) provided on the second surface of the support substrate (11).

[Suite sur la page suivante]



En ce qui concerne les codes à deux lettres et autres abréviations, se référer aux "Notes explicatives relatives aux codes et abréviations" figurant au début de chaque numéro ordinaire de la Gazette du PCT.

(57) Abrégé : L'invention concerne un dispositif semiconducteur de puissance réalisé dans du matériau semiconducteur épitaxié sur une structure empilée (10) comprenant une couche de matériau semiconducteur (13) reportée sur une première face d'un substrat support (11) et solidaire du substrat support par l'intermédiaire d'une couche isolante (12), le substrat support comprenant des moyens de conduction électrique entre la première face et une deuxième face, la couche de matériau semiconducteur reportée (13) servant de support d'épitaxie pour le matériau semiconducteur épitaxié (14, 15). Des moyens de connexion électrique (16, 17) du dispositif sont prévus, d'une part sur le matériau semiconducteur épitaxié, et d'autre part, sur la deuxième face du substrat support, une liaison électrique au travers de la couche électriquement isolante et les moyens de conduction électrique du substrat support reliant électriquement le matériau semiconducteur épitaxié (14, 15) aux moyens de connexion électrique (17) prévus sur la deuxième face du substrat support (11).

**DISPOSITIF SEMICONDUCTEUR DE PUISSANCE QUASI-VERTICAL
SUR SUBSTRAT COMPOSITE**

DESCRIPTION

5 DOMAINE TECHNIQUE

La présente invention concerne un dispositif semiconducteur de puissance quasi-vertical sur substrat composite.

10 ETAT DE LA TECHNIQUE ANTERIEURE

Les filières de fabrication de dispositifs de puissance à base de SiC sont actuellement réalisées sur des substrats massifs de SiC monocristallin, de polytype 4H et de faible résistivité électrique volumique. Ce type de substrat permet la fabrication de
15 dispositifs électroniques, par exemple, de type diode Schottky, diode PIN ou de transistor tels que MOS de puissance, JFET ou MESFET, composants utilisant lors de leur fonctionnement un passage vertical de courant
20 électrique entre la face avant et la face arrière de ce substrat.

La figure 1 est une vue en coupe transversale d'un tel dispositif semiconducteur de puissance. En l'occurrence, il s'agit d'une diode
25 Schottky. La diode est réalisée à partir d'un substrat massif 1 en SiC de type n^+ sur lequel deux couches de SiC 2 et 3 ont été successivement épitaxiées. La couche 2 est dopée n^+ et la couche 3 est dopée n^- . La face arrière du substrat 1 est métallisée pour offrir un
30 contact ohmique 4. Un plot métallique 5 est déposé sur

la couche 3 pour réaliser un contact Schottky. Une implantation localisée de la couche 3 fournit une zone 6 de type p assurant une protection périphérique.

Cette conception verticale du dispositif est particulièrement adaptée à des composants discrets qui, après fabrication collective sur une tranche entière de SiC monocristallin, sont séparés les uns des autres par découpe de puces. La connexion électrique de ces puces avec le boîtier se fait alors de façon standard par prise de contact en faces avant et arrière, de la même façon que pour des composants discrets en silicium.

Les avantages de la filière "substrat massif" consistent dans la structure verticale du dispositif (facilité d'admission de forts courants et assemblage en boîtier similaire au standard silicium) et dans le fait que le substrat permet l'homoépitaxie de SiC. Les inconvénients de cette filière sont le coût, le faible diamètre des substrats, leur faible disponibilité et l'impossibilité d'intégrer les composants dans une approche système.

Une voie alternative de substrats pour les applications précitées, est l'utilisation de substrats composites comportant une couche mince de semiconducteur collée sur un substrat et obtenus par le procédé Smar-Cut®. Ce procédé est divulgué dans le document FR-A-2 681 472 (correspondant du brevet américain n°5 374 564). La couche mince et le substrat initial peuvent être en des matériaux différents grâce à l'entière liberté offerte pour la réalisation de substrats composites par ce procédé. Ce procédé permet,

entre autres, de réaliser des substrats dénommés SiCOI (de l'anglais "SiC On Insulator") constitués d'une couche mince de SiC collée sur un substrat électriquement isolant vu de la couche mince, comme, par exemple, un substrat de silicium oxydé. L'épaisseur de la couche de SiC monocristallin est inférieure à 1 μm , typiquement 0,5 μm . Cette structure SiCOI permet de réaliser des composants électriques en utilisant la couche mince transférée comme couche active. Dans ce cas, les composants électroniques sont confinés dans cette couche très mince, avec les avantages et les inconvénients inhérents. Les avantages sont constitués par la simplicité du procédé de fabrication et par le fait que, les composants étant isolés, il est possible de réaliser des circuits intégrés. Cette filière présente les inconvénients suivants. Les contacts électriques sortant sur une même face du composant, il n'est donc pas possible de les intégrer dans des boîtiers standard silicium. La faible épaisseur du film mince limite des performances des composants en terme de passage de courant dans le film mince.

Le problème technique qui se pose est de pouvoir fabriquer des composants électroniques sur un substrat composite de type Smart-Cut[®], composants possédant des performances électroniques (en terme de courant en particulier) au moins équivalentes à celles obtenues classiquement sur des substrats entièrement monocristallins. De plus, une partie du problème est de pouvoir fabriquer, sur une même structure, des composants de puissance isolés électriquement les uns avec les autres, l'un d'entre eux pouvant être relié

électriquement au substrat support de l'empilement composite.

EXPOSÉ DE L'INVENTION

5 Pour remédier aux inconvénients de l'art antérieur, il est proposé un dispositif électronique à conduction verticale, réalisé sur un substrat composite du type semiconducteur-sur-isolant et comprenant deux contacts électriques pris en face avant avec connexion
10 électrique de l'un des contacts vers un substrat support conducteur électrique, après ouverture de la couche isolante. Cela permet ainsi de tirer profit des avantages des substrats composites de type semiconducteur-sur-isolant tout en permettant un
15 assemblage en boîtier classique.

L'invention permet d'obtenir les avantages suivants :

- possibilité d'avoir un substrat support de grande taille et moins cher qu'un substrat SiC
20 massif,
- possibilité d'avoir, par une structure quasi-verticale des dispositifs, des densités de courant équivalentes, et même supérieures à celles obtenues sur substrat massif,
- 25 - possibilité d'avoir un assemblage en boîtier classique avec connexion face avant et l'autre face arrière (cas des diodes),
- possibilité d'avoir un procédé de fabrication plus simple (un seul métal pour contact
30 ohmique et contact Schottky),

- possibilité de concevoir des systèmes intégrés de puissance en bénéficiant d'une isolation galvanique naturelle lorsque la couche mince est collée sur un support via une couche isolante électrique (oxyde et nitrure de silicium par exemple),

- possibilité de pouvoir relier électriquement un composant au substrat présent sous la couche d'isolation électronique.

L'invention a donc pour objet un dispositif semiconducteur de puissance réalisé dans du matériau semiconducteur épitaxié sur une structure empilée, caractérisé en ce que :

- la structure empilée comprend une couche de matériau semiconducteur reportée sur une première face d'un substrat support et solidaire du substrat support par l'intermédiaire d'une couche électriquement isolante, le substrat support comprenant des moyens de conduction électrique entre ladite première face et une deuxième face, la couche de matériau semiconducteur reportée servant de support d'épitaxie pour le matériau semiconducteur épitaxié,

- des moyens de connexion électrique du dispositif sont prévus, d'une part sur le matériau semiconducteur épitaxié, et d'autre part, sur la deuxième face du substrat support, une liaison électrique au travers de la couche électriquement isolante et lesdits moyens de conduction électrique du substrat support reliant électriquement le matériau semiconducteur épitaxié aux moyens de connexion électrique prévus sur la deuxième face du substrat support.

Avantageusement, les moyens de conduction électrique du support sont constitués par le substrat support lui-même qui est en matériau conducteur électrique.

5 Le matériau semiconducteur épitaxié peut comporter plusieurs couches de dopage différent.

Eventuellement, le substrat support est surdopé du côté de l'interface avec la couche électriquement isolante.

10 Les moyens de conduction électrique du dispositif peuvent comprendre au moins un contact Schottky et/ou au moins un contact ohmique.

Avantageusement, le substrat support est en matériau semiconducteur, choisi par exemple parmi SiC,
15 GaN, AlN, Si, GaAs, ZnO et Ge.

La couche électriquement isolante peut être en matériau choisi parmi SiO₂, Si₃N₄ et le diamant.

La couche mince de matériau semiconducteur reportée peut être en un matériau choisi parmi SiC,
20 GaN, AlN, Si, ZnO et le diamant.

Le matériau semiconducteur épitaxié peut être choisi parmi SiC, GaN, AlGa_{0.3}N, InGa_{0.5}N et le diamant.

L'invention a aussi pour objet un circuit semiconducteur, caractérisé en ce qu'il associe, sur
25 une même structure empilée au moins un dispositif semiconducteur de puissance tel que défini ci-dessus et au moins un dispositif semiconducteur qui n'est pas électriquement relié à la deuxième face du substrat support.

30

BRÈVE DESCRIPTION DES DESSINS

L'invention sera mieux comprise et d'autres avantages et particularités apparaîtront à la lecture de la description qui va suivre, donnée à titre d'exemple non limitatif, accompagnée des dessins annexés parmi lesquels :

- la figure 1, déjà décrite, est une vue en coupe transversale d'un dispositif semiconducteur de puissance selon l'art antérieur,
- la figure 2 est une vue en coupe transversale d'un dispositif semiconducteur de puissance selon l'invention,
- les figures 3A à 3J sont des vues en coupe transversale illustrant un procédé de réalisation d'un dispositif semiconducteur de puissance selon l'invention,
- la figure 4 est une vue en coupe transversale d'un autre dispositif semiconducteur de puissance selon l'invention,
- la figure 5 est une vue en coupe transversale d'un dispositif semiconducteur pouvant être associé avec un dispositif semiconducteur de puissance selon l'invention en vue de réaliser un circuit intégré.

DESCRIPTION DETAILLÉE DE MODES DE RÉALISATION DE L'INVENTION

La figure 2 est une vue en coupe transversale d'un dispositif semiconducteur de puissance selon l'invention. Le dispositif est fabriqué sur la face avant d'un substrat composite 10. Dans cet

exemple, le substrat support 11 est en silicium et supporte une couche d'oxyde de silicium 12 et une couche de SiC 13 transférée, par exemple par le procédé Smart-Cut®, sur le substrat support 11 et solidaire de ce substrat support par la couche d'oxyde 12.

La couche de SiC transférée 13 sert de support d'épitanie pour la couche de SiC 14 dopée n⁺ et pour la couche de SiC 15 dopée n⁻.

Les inventeurs de la présente invention sont parvenus à réaliser des épitanies de SiC sur ce substrat composite de façon inattendue. L'oxyde de silicium ne s'est pas détérioré pour des températures d'épitanie un peu inférieures à la température de fusion du silicium et les épitanies obtenues sont de bonne qualité, comparables aux épitanies sur du SiC massif.

Par abus de langage, on pourra appeler contact Schottky ou ohmique le métal dont l'interface avec le matériau semiconducteur en contact est un contact Schottky ou ohmique.

Le dispositif comprend aussi un contact Schottky 16 disposé sur la couche de SiC 15 et un contact ohmique 17 disposé sur la face arrière du substrat support 11. Des contacts ohmiques 18 sont disposés sur la face supérieure de la couche de SiC 14. Ils permettent une liaison électrique de la couche de SiC 14 avec le contact ohmique 17 en face arrière grâce à des métallisations 19 déposées sur les contacts ohmiques 18, prenant contact avec le substrat support 11 au travers de la couche d'oxyde 12, et grâce au substrat support 11 qui est suffisamment conducteur. De

plus, le contact entre les métallisations 19 et le substrat support 11 est un contact ohmique. Ce dispositif de puissance peut donc être qualifié de dispositif quasi-vertical.

5 Les figures 3A à 3J sont des vues en coupe transversales illustrant un procédé de réalisation d'un dispositif semiconducteur de puissance selon l'invention. Le dispositif réalisé dans cet exemple comporte des couches de SiC épitaxiées sur une couche
10 de SiC transférée sur un substrat support en silicium.

La figure 3A montre un substrat composite 100 formé d'un substrat support 101 en silicium supportant une couche d'oxyde de silicium 102 servant au collage d'une couche de SiC 103 transférée. La
15 couche de SiC transférée 103 sert de support d'épitaxie pour la couche de SiC 104 et pour la couche de SiC 105 épitaxiée sur la couche 104.

La couche de SiC transférée 103 a un dopage n de l'ordre de 10^{17} à 10^{19} atomes/cm³ et une épaisseur
20 comprise entre 0,5 et 1 µm. Le substrat support 101 a un dopage n de l'ordre de 10^{20} atomes/cm³ et une épaisseur comprise entre 200 et 500 µm. La couche d'oxyde 103 a une épaisseur comprise entre 2 et 4 µm, par exemple 2 µm. Le substrat support 101 peut, du côté
25 de l'interface avec la couche d'oxyde 102, être surdopé si nécessaire avant l'assemblage du substrat composite 100 afin de faciliter un contact ohmique postérieur (voir la figure 3G).

Sur la couche de SiC transférée, les
30 couches de SiC 104 et 105 sont successivement

épitaxiées. L'épitaxie est réalisée en-dessous de 1410°C pour un substrat support 101 en silicium.

Si le dispositif à réaliser est une diode Schottky de puissance, la couche de SiC 104 est dopée n⁺ (dopage compris entre $5 \cdot 10^{18}$ et $5 \cdot 10^{20}$ atomes/cm³) et a une épaisseur d'environ 4 µm, la couche de SiC 105 est dopée n⁻ (dopage de l'ordre de 10^{16} atomes/cm³) et a une épaisseur d'environ 6 µm. Ce couple de valeurs est donné à titre indicatif pour une diode Schottky de type 600 volts. Ces valeurs sont à ajuster en fonction de la tenue en tension souhaitée.

La figure 3B est relative à un premier niveau de lithographie permettant de définir des structures "Mesa" par la gravure de la couche de SiC 105 jusqu'à atteindre la couche de SiC 104. La structure "Mesa" permet la tenue en tension du composant et le fait d'exposer la couche de SiC 104 permettra ultérieurement la réalisation d'un contact ohmique. La gravure peut se faire par plasma.

L'étape suivante consiste à déposer une couche inorganique 106, par exemple une couche de SiO₂ ou de Si₃N₄, d'une épaisseur de plusieurs µm, par exemple de 2 à 4 µm. Cette couche aura, entre autres, la fonction de passivation du composant (voir la figure 3C).

La figure 3D est relative à un deuxième niveau de lithographie permettant de définir les zones de gravure des couches 106, 104 et 103. C'est une première étape vers la réalisation d'un contact avec le substrat support 101. Cela permet aussi d'isoler électriquement le composant de ses voisins dans le cas

où l'on souhaite en intégrer plusieurs sur un même circuit.

Après définition de ce niveau de lithographie, la couche 106 est gravée. Dans le cas
5 d'une couche de SiO_2 , la gravure peut être obtenue par gravure humide en solution HF ou par gravure plasma. La résine de masquage est alors retirée et les couches de SiC 104 et 103 sont ensuite successivement gravées en utilisant comme masque la couche 106. La gravure est
10 faite par plasma. La structure obtenue est représentée à la figure 3D.

La figure 3E est relative à un troisième niveau de lithographie permettant de définir différentes ouvertures dans les couches 102 et 106 pour
15 de futurs contacts électriques. La figure 3E montre la structure obtenue après développement de la couche de résine 107.

On procède ensuite à la gravure des couches 102 et 106 pour obtenir la structure illustrée par la
20 figure 3F après retrait de la résine. La couche 102 est gravée en 112, ce qui permettra un contact ultérieur vers le substrat support 101. La couche 106 est gravée en 116, ce qui permettra un futur contact ohmique. Elle est aussi gravée en 126 pour le futur contact Schottky.

25 La figure 3G est relative à un quatrième niveau de lithographie permettant de réaliser un contact ohmique. Le métal déposé peut être W, Ni ou Ti. Son épaisseur peut être comprise entre 100 et 500 nm. Le dépôt peut se faire par évaporation ou pulvérisation cathodique. La lithographie permet de définir les zones
30 de contact ohmique avec la couche de SiC 104 en 116 et

aussi la connexion vers le contact ohmique avec le substrat support 101 en 112.

La figure 3G montre la structure obtenue avec gravure du métal déposé et retrait de la résine. Elle montre le dépôt métallique 109 reliant la couche de SiC 104 au substrat support 101. La gravure du métal peut être faite de façon conventionnelle, par exemple par gravure humide pour Ni et Ti ou par plasma pour W. On applique ensuite un recuit en vue d'activer le contact ohmique avec le SiC de la couche 104, dans la gamme comprise entre 900 et 1100°C pour Ni et Ti, dans la gamme comprise entre 1000 et 1300°C pour W. Simultanément, le contact ohmique avec le silicium du substrat support 101 est activé.

La figure 3H est relative à un cinquième niveau de lithographie permettant d'obtenir un contact Schottky. On dépose sur la structure obtenue précédemment, par pulvérisation cathodique ou par évaporation, du métal de contact Schottky qui peut être Ti ou Ni, sur une épaisseur comprise entre 100 et 500 nm. On procède à une lithographie, puis à une gravure de ce métal de sorte à former des plots de contact Schottky 108 sur la couche de SiC 105. Un recuit de contact Schottky est ensuite appliqué, par exemple, à une température comprise entre 400 à 600°C.

Une couche de métallisation 117 est déposée en face arrière du substrat support 101 (voir la figure 3I) en vue de réaliser un contact ohmique face arrière. Cette couche peut être en Al, en Ti ou en Ni. Un recuit peut être nécessaire pour améliorer le contact ohmique.

Enfin, une sur-métallisation peut être nécessaire pour renforcer les métallisations de la face avant du dispositif. La figure 3J montre une sur-métallisation 118 renforçant le plot de contact Schottky 108 et une sur-métallisation 119 renforçant le dépôt 109 assurant le contact ohmique vers la couche de SiC 104 et la connexion vers le substrat support 101. Cette sur-métallisation peut être de l'aluminium, d'une épaisseur comprise entre 0,5 et 5 μm . La figure 3J montre la structure obtenue après lithographie et gravure.

Une variante de ce procédé de réalisation est rendue possible si le dopage de la couche de SiC 104 est suffisamment élevé pour permettre un bon contact ohmique avec du Ti recuit à environ 500°C. Le dopage nécessaire pour cela est de l'ordre de $5 \cdot 10^{19}$ atomes/ cm^3 ou plus. Ce dopage est accessible sur du SiC obtenu par épitaxie. Il est important de noter qu'un tel dopage ne peut être obtenu sur un substrat de SiC massif. Or, c'est sur ce substrat qu'est réalisé le contact ohmique dans l'art antérieur. Dans le cas de la présente invention, le même métal peut servir au contact Schottky et au contact ohmique, avec un seul recuit à environ 500°C.

Cette variante est mise en œuvre à partir de la structure illustrée par la figure 3F. Un seul dépôt métallique est effectué, par exemple, du Ti ou du Ni ou un bicouche de l'un de ces métaux et d'un autre métal. Une lithographie est effectuée. Elle permet de définir simultanément les plots Schottky et les plots de contact ohmique. Après gravure et recuit à environ

500°C, on obtient directement la structure illustrée par la figure 3H avec un niveau complet de lithographie en moins (un dépôt, une lithographie, une gravure et un recuit en moins). La fin du procédé reste identique avec la métallisation face arrière et éventuellement une sur-métallisation.

Pour améliorer la tenue en tension, il est bon de prévoir des protections périphériques qui consistent en des zones de dopage p réalisées à la périphérie du contact Schottky. Ces protections peuvent être soit réalisées par implantation localisée, soit par une épitaxie supplémentaire de type p faite dans la foulée de l'épitaxie de la couche de SiC 105, la couche p étant alors gravée localement dans la zone du contact Schottky.

Il est possible de réaliser ces protections périphériques dans le cadre de la présente invention, sans difficulté particulière par rapports aux composants classiques de type vertical. Sur la figure 3J, des protections périphériques implantées 120 ont été représentées en traits interrompus.

L'invention permet également la réalisation d'un dispositif comportant des couches de SiC épitaxiées sur une couche de SiC transférée sur un substrat support en SiC.

Pour cela, une couche de SiC est transférée et collée par l'intermédiaire d'une couche d'oxyde de silicium sur un substrat support en SiC. L'épitaxie est réalisée sur la couche de SiC transférée. Autant de couches de SiC que nécessaire sont épitaxiées. A titre d'exemple, en revenant sur la figure 3A, la structure

se compose alors d'un substrat support 101 en SiC, d'une couche d'oxyde 102, d'une couche de SiC transférée 103, d'une première couche de SiC épitaxiée 104 et d'une deuxième couche de SiC épitaxiée 105.

5 L'épitaxie peut être réalisée au-dessus de 1410°C, typiquement dans la gamme comprise entre 1400 et 1600°C. Par exemple, pour obtenir une diode Schottky, la couche de SiC 104 peut être dopée n⁺ selon un dopage de 10¹⁹ atomes/cm³ et peut avoir une épaisseur d'environ
10 4 µm. La couche de SiC 105 peut être dopée n⁻ selon un dopage de 10¹⁶ atomes/cm³ et peut avoir une épaisseur d'environ 6 µm.

Le substrat support 101 en SiC peut être surdopé du côté de l'interface avec la couche d'oxyde
15 102 pour améliorer, par exemple, le contact ohmique entre le dépôt métallique 109 et le substrat support 101 (voir la figure 3G). Ce surdopage peut être réalisé avant assemblage de la structure empilée, par épitaxie ou par implantation pleine plaque ou encore par dépôt
20 polycristallin ou amorphe très dopé.

Le procédé de réalisation est similaire à celui décrit pour le dispositif précédent avec substrat support en silicium. Une différence existe néanmoins pour le contact ohmique face arrière. Le métal du
25 contact ohmique face arrière est déposé plus tôt, en même temps que le contact ohmique sur SiC face avant. Un même recuit est effectué pour les contacts ohmiques face avant et face arrière.

Les mêmes variantes que précédemment
30 s'appliquent également.

L'invention permet aussi la réalisation d'un dispositif comportant des couches de GaN épitaxiées sur une couche de SiC transférée sur un substrat support en SiC.

5 Pour cela, une couche de SiC est transférée et collée par l'intermédiaire d'une couche d'oxyde de silicium sur un substrat support en SiC. L'épitaxie est réalisée sur la couche de SiC transférée. Autant de couches de GaN que nécessaire sont épitaxiées. A titre
10 d'exemple, en revenant sur la figure 3A, la structure se compose alors d'un substrat support 101 en SiC, d'une couche d'oxyde 102, d'une couche de SiC transférée 103, d'une première couche de GaN épitaxiée 104 et d'une deuxième couche de GaN épitaxiée 105.
15 L'épitaxie peut être réalisée par MOCVD au-dessus de 1000°C, typiquement dans la gamme comprise entre 1050 et 1150°C. Par exemple, pour obtenir une diode Schottky GaN, la couche de GaN 104 peut être dopée n⁺ selon un dopage de 10¹⁹ atomes/cm³ et peut avoir une épaisseur
20 comprise entre environ 1 et environ 4 µm. La couche de GaN 105 peut être dopée n⁻ selon un dopage de 10¹⁶ atomes/cm³ et peut avoir une épaisseur d'environ 6 µm.

Une couche tampon en AlN peut être intercalée entre la couche de SiC transférée et le GaN
25 pour améliorer la croissance épitaxiale.

Le substrat support 101 en SiC peut être surdopé comme il a été décrit ci-dessus.

Pour la réalisation du dispositif, la technique appliquée est similaire aux cas décrits
30 précédemment, mais avec des adaptations relatives aux

contacts ohmiques et aux gravures de GaN au lieu du SiC.

L'invention permet aussi la réalisation d'un dispositif comportant des couches de GaN
5 épitaxiées sur une couche de Si {111} transférée sur un substrat support en SiC.

Pour cela, une couche de SiC est transférée et collée par l'intermédiaire d'une couche d'oxyde de silicium sur un substrat support en SiC. L'épitaxie est
10 réalisée sur la couche de Si {111} transférée. Autant de couches de GaN que nécessaire sont épitaxiées. A titre d'exemple, en revenant sur la figure 3A, la structure se compose alors d'un substrat support 101 en SiC, d'une couche d'oxyde 102, d'une couche de Si {111}
15 transférée 103, d'une première couche de GaN épitaxiée 104 et d'une deuxième couche de GaN épitaxiée 105. L'épitaxie peut être réalisée par MOCVD au-dessus de 1000°C, typiquement dans la gamme comprise entre 1050 et 1150°C. Par exemple, pour obtenir une diode Schottky
20 GaN, les couches 104 et 105 peuvent être similaires aux mêmes couches de l'exemple précédent.

Une couche tampon en AlN peut également être intercalée entre la couche de Si {111} transférée et le GaN pour améliorer la croissance épitaxiale.

25 Le substrat support 101 en SiC peut être surdopé comme il a déjà été décrit plus haut.

Pour la réalisation du dispositif, la technique appliquée est similaire au cas précédent.

D'une manière générale, la couche mince de
30 matériau semiconducteur transférée est choisie parmi les matériaux suivants : SiC de polytype 3C, 4H ou 6H,

GaN, AlN, Si, ZnO et le diamant. La couche intermédiaire de collage est en un matériau choisi parmi SiO_2 , Si_3N_4 et le diamant. Le substrat support électriquement conducteur, monocristallin ou non, est
5 choisi parmi les matériaux suivants : SiC, GaN, AlN, Si, GaAs, ZnO et Ge.

La figure 4 est une vue en coupe transversale d'un autre dispositif semiconducteur de puissance selon l'invention. Il s'agit d'une diode
10 bipolaire de type PIN. Ce dispositif est réalisé sur un substrat support 201 en silicium supportant une couche transférée 203 en SiC rendue solidaire du substrat support par une couche d'oxyde de silicium 202. Sur la
couche transférée 203 sont épitaxiées successivement
15 une couche de SiC 204, une couche de SiC 205 dopée n^- et une couche de SiC 210 dopée p. L'épaisseur et le dopage de la couche de SiC 205 sont adaptés à la tenue en tension désirée, comme dans le cas de diodes PIN
verticales classiques. On peut ainsi obtenir des tenues
20 en tension de l'ordre de 1000 à 5000 V ou plus. Le procédé de fabrication est analogue au procédé de fabrication des structures décrites précédemment, la différence principale étant la présence de la couche
épitaxiée 210 en SiC de type p sur laquelle on doit
25 réaliser un contact ohmique 208 dans les mêmes conditions que sur une diode PIN verticale.

Sur la figure 4, on reconnaît la couche de métallisation 217 en face arrière du substrat support 201, le dépôt métallique 209 assurant le contact
30 ohmique vers la couche de SiC 204 et la connexion vers

le substrat support 201. On reconnaît également la couche de passivation 206.

La figure 5 et une vue en coupe transversale d'un dispositif semiconducteur pouvant être associé avec un dispositif semiconducteur de puissance selon l'invention en vue de réaliser un circuit intégré. Un tel composant présente des caractéristiques similaires à ceux de l'invention (conduction verticale notamment), mais il ne dispose pas d'une reprise de contact en face arrière. La couche isolante sur le substrat support n'étant pas percée, de tels composants restent isolés électriquement les uns des autres : plusieurs d'entre eux peuvent donc être intégrés avec un dispositif selon l'invention pour former un circuit avec reprises de contact classiques en faces avant et arrière du circuit.

Sur la figure 5, on reconnaît un substrat support semiconducteur 301 supportant une couche transférée 303 en matériau semiconducteur, rendue solidaire du substrat support par une couche électriquement isolante 302. Sur la couche transférée sont épitaxiées successivement une couche semiconductrice 304 (par exemple dopée n^+) et une couche semiconductrice 305 (par exemple dopée n^-). La couche 305 supporte un contact Schottky 308 tandis que la couche 304 supporte un contact ohmique 309.

REVENDICATIONS

1. Dispositif semiconducteur de puissance réalisé dans du matériau semiconducteur épitaxié sur une structure empilée, caractérisé en ce que :

- 5 - la structure empilée comprend une couche de matériau semiconducteur (13, 103, 203) reportée sur une première face d'un substrat support (11, 101, 201) et solidaire du substrat support par l'intermédiaire d'une couche électriquement isolante (12, 102, 202), le
- 10 substrat support comprenant des moyens de conduction électrique entre ladite première face et une deuxième face, la couche de matériau semiconducteur reportée servant de support d'épitaxie pour le matériau semiconducteur épitaxié (14, 15 ; 104, 105 ; 204, 205,
- 15 210),
- des moyens de connexion électrique (16, 17 ; 117, 118 ; 217, 208) du dispositif sont prévus, d'une part sur le matériau semiconducteur épitaxié, et d'autre part, sur la deuxième face du substrat support,
- 20 une liaison électrique (19, 109, 209) au travers de la couche électriquement isolante et lesdits moyens de conduction électrique du substrat support reliant électriquement le matériau semiconducteur épitaxié aux moyens de connexion électrique (17, 117, 217) prévus
- 25 sur la deuxième face du substrat support.

2. Dispositif selon la revendication 1, caractérisé en ce que les moyens de conduction électrique du substrat support (11, 101, 201) sont

30 constitués par le substrat support lui-même qui est en matériau conducteur électrique.

3. Dispositif selon la revendication 1, caractérisé en ce que le matériau semiconducteur épitaxié comporte plusieurs couches de dopage différent
5 (14, 15 ; 104, 105 ; 204, 205, 210).

4. Dispositif selon la revendication 1, caractérisé en ce que le substrat support (11, 101, 201) est surdopé du côté de l'interface avec la couche
10 électriquement isolante (12, 102, 202).

5. Dispositif selon la revendication 1, caractérisé les moyens de connexion électrique du dispositif comprennent au moins un contact Schottky
15 (108).

6. Dispositif selon la revendication 1, caractérisé en ce que les moyens de conduction électrique du dispositif comprennent au moins un
20 contact ohmique (16, 17 ; 117 ; 208, 217).

7. Dispositif selon la revendication 1, caractérisé en ce que le substrat support est en matériau semiconducteur.
25

8. Dispositif selon la revendication 7, caractérisé en ce que le substrat support (11, 101, 201) est en un matériau semiconducteur choisi parmi SiC, GaN, AlN, Si, GaAs, ZnO et Ge.
30

9. Dispositif selon la revendication 1, caractérisé en ce que la couche électriquement isolante (12, 102, 202) est en matériau choisi parmi SiO_2 , Si_3N_4 et le diamant.

5

10. Dispositif selon la revendication 1, caractérisé en ce que la couche mince de matériau semiconducteur reportée (13, 103, 203) est en un matériau choisi parmi SiC , GaN , AlN , Si , ZnO et le diamant.

10

11. Dispositif selon la revendication 1, caractérisé en ce que le matériau semiconducteur épitaxié est choisi parmi SiC , GaN , AlGaN , InGaN et le diamant.

15

12. Circuit semiconducteur, caractérisé en ce qu'il associe, sur une même structure empilée au moins un dispositif semiconducteur de puissance selon l'une quelconque des revendications 1 à 11 et au moins un dispositif semiconducteur qui n'est pas électriquement relié à la deuxième face du substrat support.

20

1 / 5

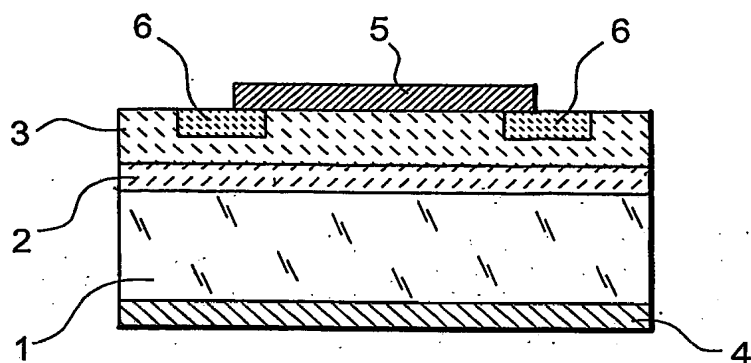


FIG. 1

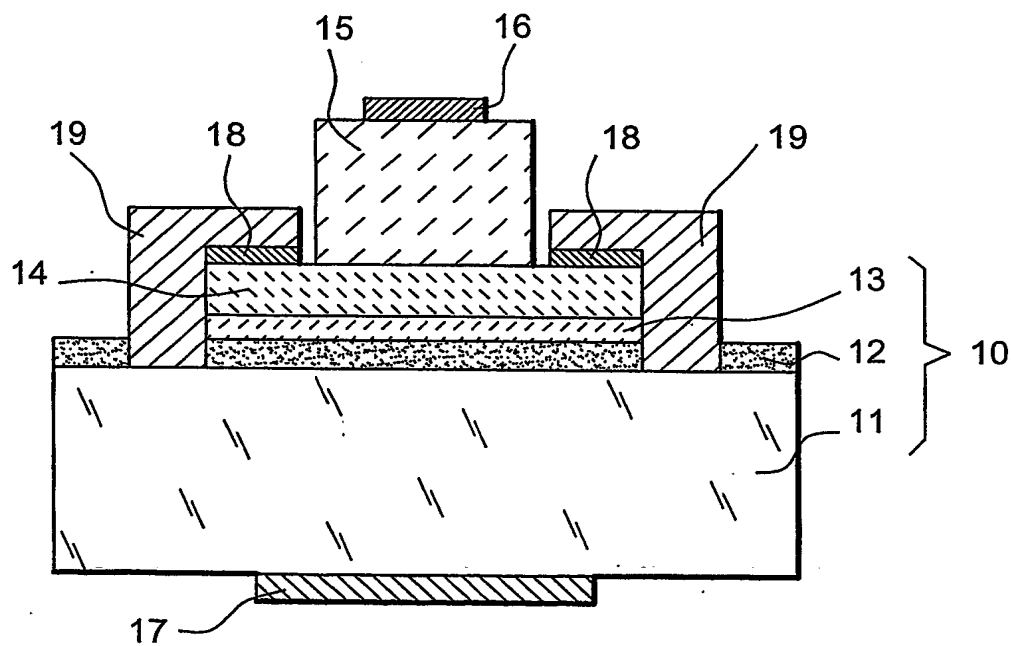
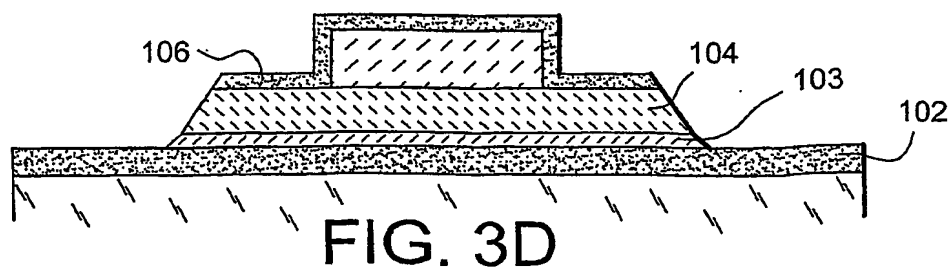
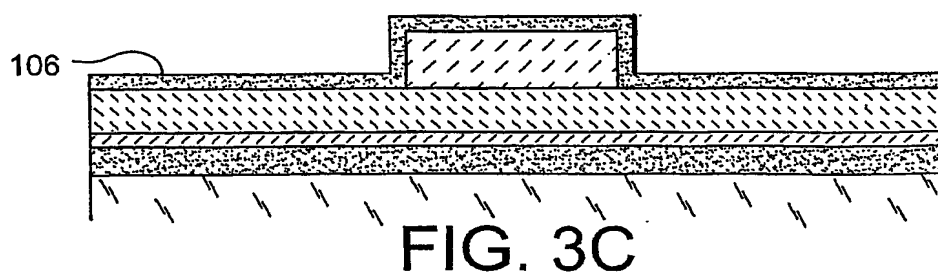
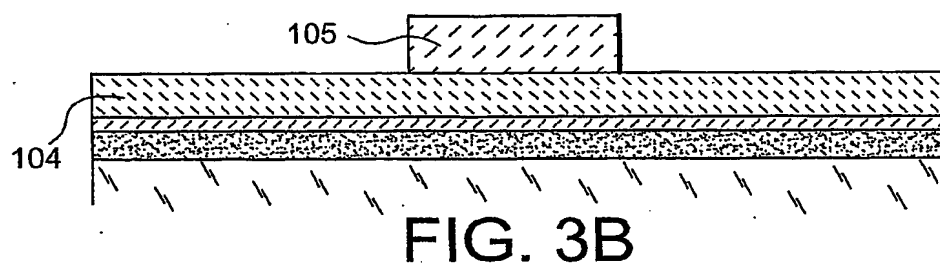
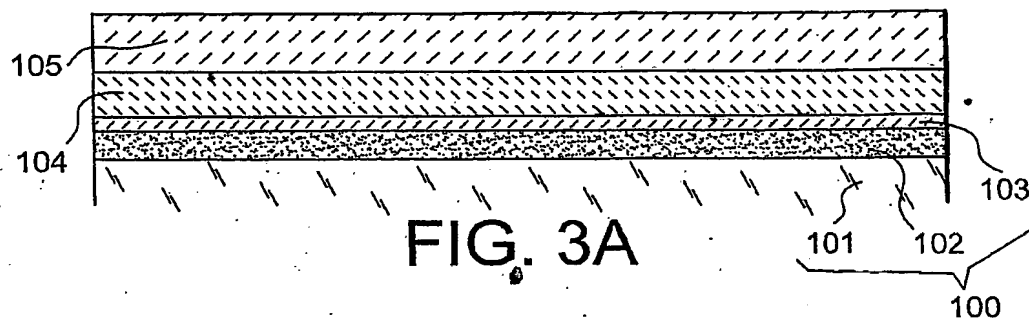


FIG. 2

2 / 5



3 / 5

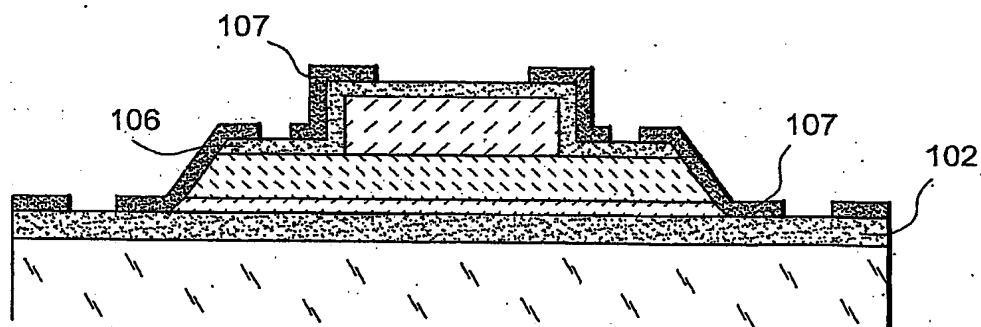


FIG. 3E

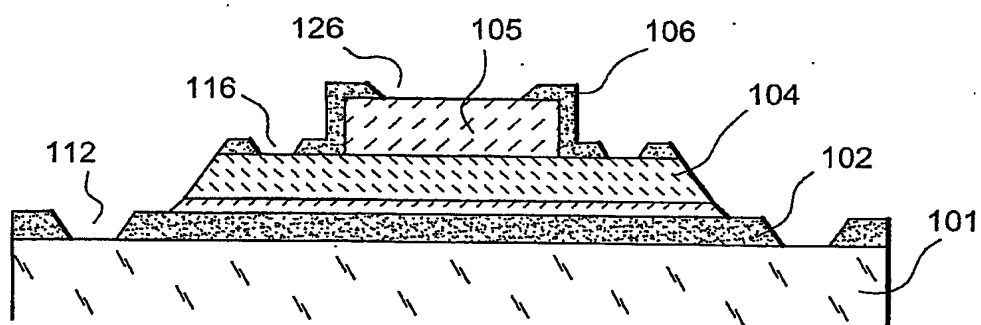


FIG. 3F

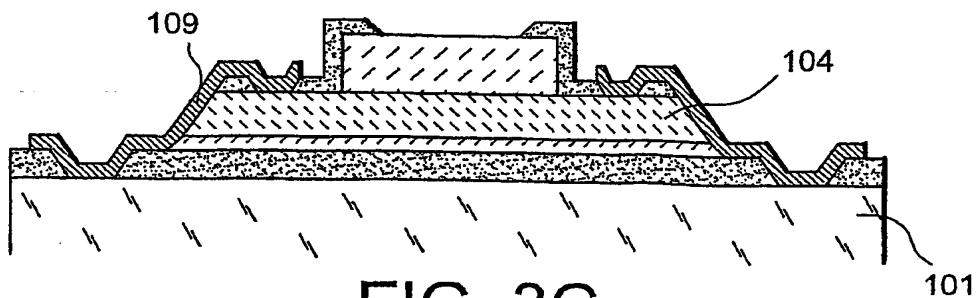


FIG. 3G

4 / 5

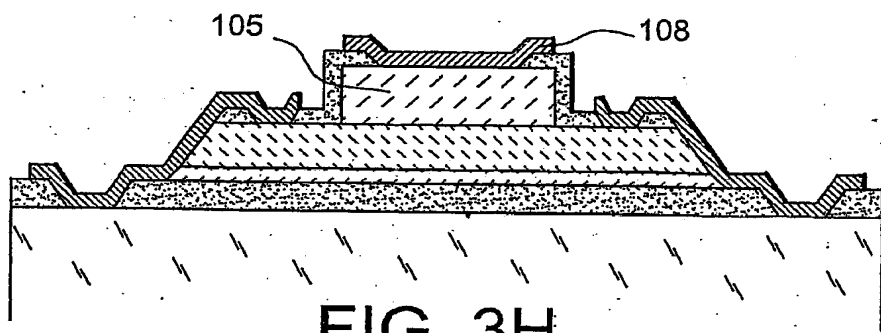


FIG. 3H

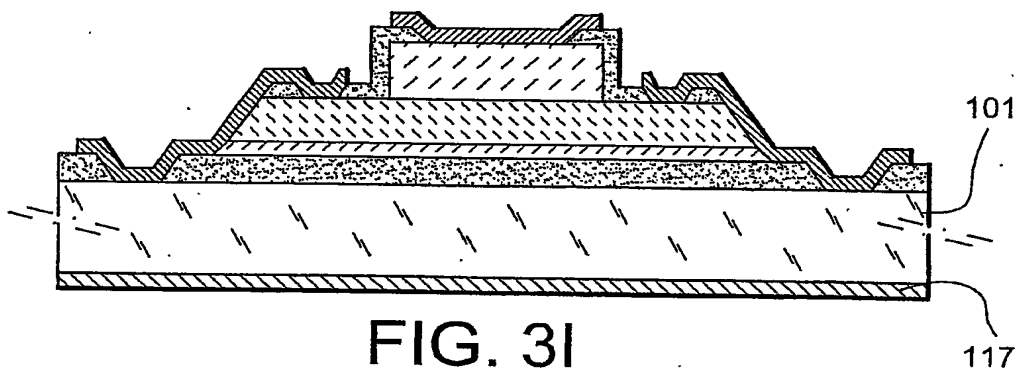


FIG. 3I

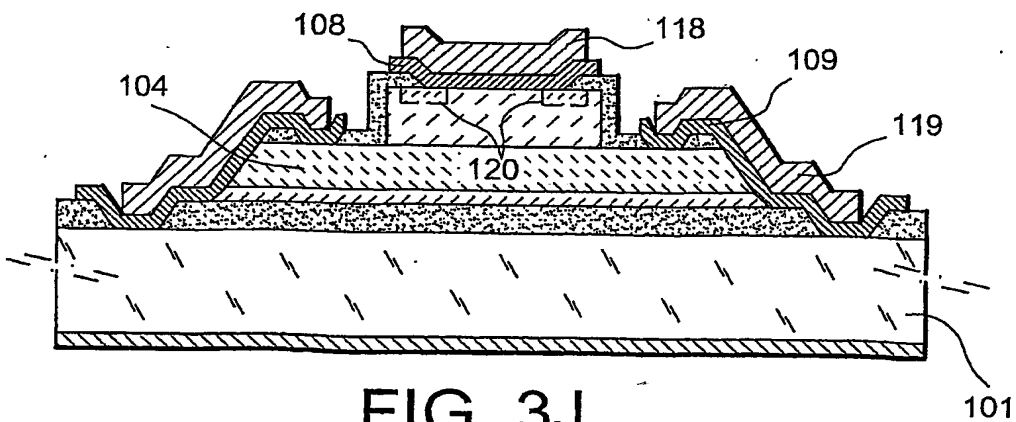


FIG. 3J

5/5

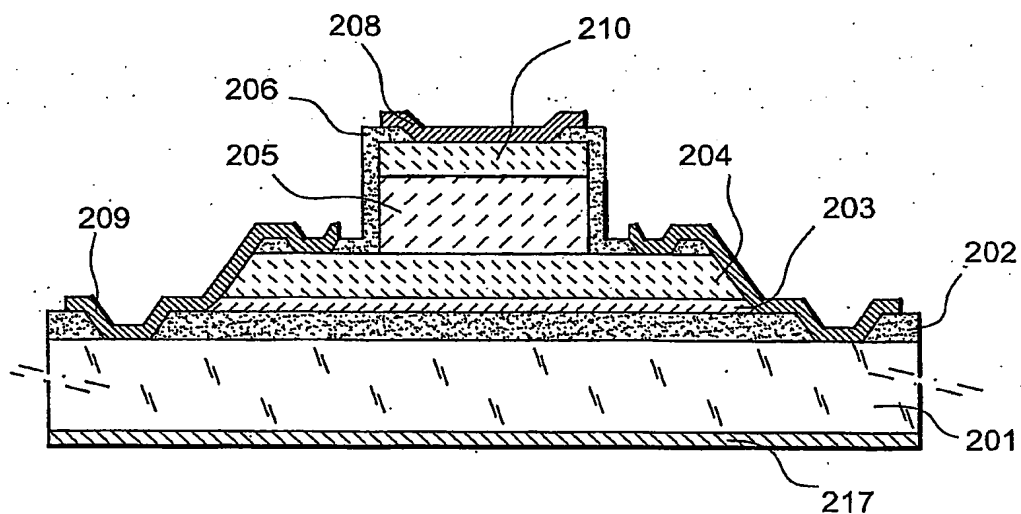


FIG. 4

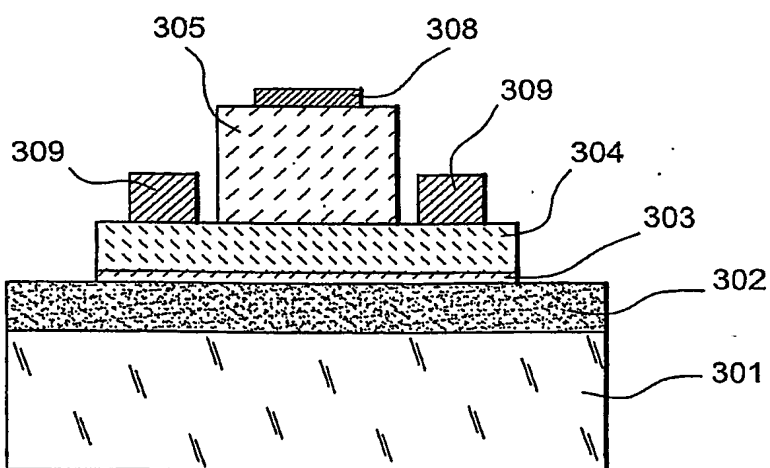


FIG. 5